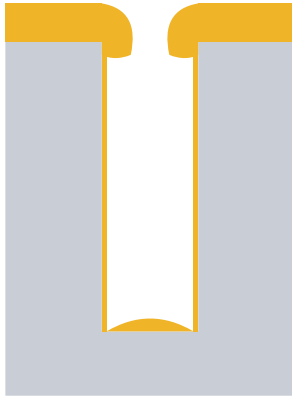


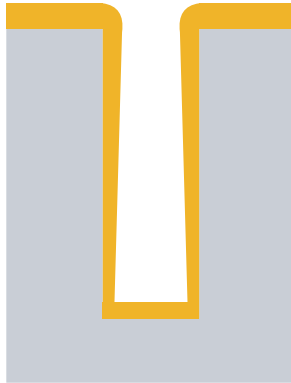
같은 홈, 세 가지 증착

스텝 커버리지 = 측벽·바닥 두께 ÷ 윗면 두께



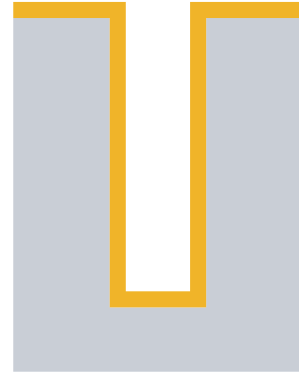
PVD (스퍼터)

입구에 몰리고 벽은 얇다



CVD

더 고르지만 입구가 두껍다



ALD

모든 면에 같은 두께

자료 4 공정엔지니어 면접 자료 시리즈

증착 면접 집중편

CVD, PVD, ALD 차이와 스텝 커버리지, 응력, 갭필까지

4년제 공정기술·양산기술 신입 대상, 삼성전자와 SK하이닉스 면접 공통

"CVD와 PVD의 차이"를 외운 지원자는 많습니다. "그럼 이 막에는 왜 이 방식을 썼죠?"에 답하는 지원자는 드뭅니다. 이 자료는 그 이유를 다룹니다.

세미팍 AI

반도체 장비공학 박사, 대학 반도체 공정 강의
semifabai.com

2026 하반기판
무료 배포용

증착은 "막을 쌓는 공정"이지만, 현장에서 관리하는 것은 두께만이 아닙니다. 막이 제 역할을 하는지 보여주는 지표들을 함께 봅니다.

지표	뜻	어떻게 재나, 무엇을 알려 주나
두께·증착률	목표 두께와 단위 시간당 쌓이는 양	절연막은 엘립소미터·반사율 측정, 금속막은 면저항(4점 탐침)·XRF. 증착률 변화는 장비 상태의 첫 신호
균일도	웨이퍼 안, 웨이퍼 사이 두께 차이	여러 점 측정. 배치 장비는 보트 위치별 차이도 봄
스텝 커버리지	홀의 측벽·바닥에 쌓인 두께 ÷ 윗면 두께	단면 SEM·TEM. 10에 가까울수록 고르게 덮음
응력	막이 당기는지(인장) 미는지(압축)	증착 전후 웨이퍼 휨을 재서 계산. 크랙·들뜸·웨이퍼 휨의 원인
굴절률	막의 광학 성질	엘립소미터. 조성과 밀도가 바뀌면 같이 바뀌어, 막질 변화를 빠르게 알려 주는 대리 지표
습식 식각률	약액에 얼마나 빨리 녹나	기준 막(열산화막 등) 대비 비교. 빨리 녹을수록 덜 치밀한 막
조성·불순물	원하는 원소 비율, 수소·탄소 등 섞인 양	수소는 FTIR(Si-H·N-H 결합)·SIMS, 원소 조성은 XPS·AES 등(XPS는 수소를 못 봄). 저온 증착 막은 수소가 많이 남음
파티클·접착	막 속·위의 입자, 아래 막과의 접착	결함 검사, 테이프 테스트, 후속 공정 뒤 들뜸 여부

굴절률이 왜 중요한지 말할 수 있으면 한 단계 위입니다. 두께는 맞는데 굴절률이 바뀌었다면 막의 조성이나 밀도가 바뀐 것입니다. 예를 들어 질화막에서 원료 가스 비율이 틀어지면 Si가 더 많은 막이 되어 굴절률이 올라갑니다. 두께만 보고 넘기면 놓치는 변화를 굴절률이 먼저 알려 줍니다.

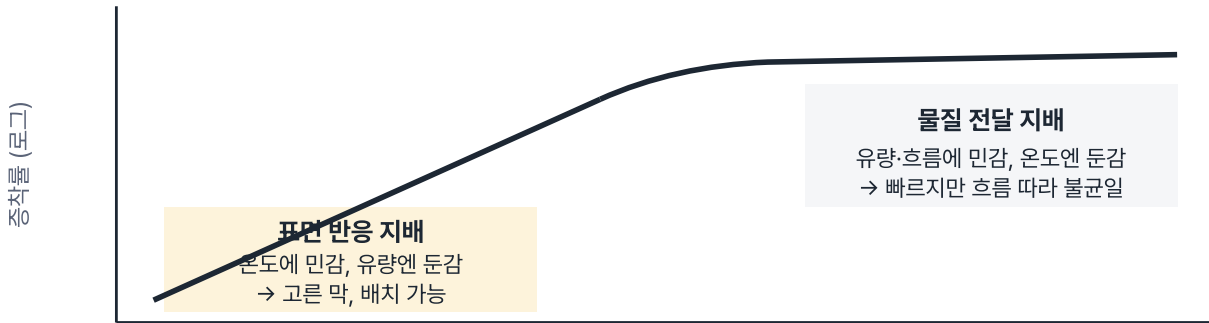
	PVD	CVD	ALD
원리	Ar 이온으로 타겟을 때려 떨어진 원자가 날아가 붙음(스퍼터). 물리적	원료 가스가 표면에서 화학 반응해 막이 됨	두 원료를 번갈아 넣어, 표면에서 한 층씩 반응이 스스로 멈추게 함
스텝 커버리지	낮음. 원자가 직선으로 날아와 입구에 몰림	중간~좋은. 조건에 따라 다름	매우 좋음. 깊은 홀도 거의 같은 두께
속도	빠름	빠름~중간	느림. 사이클당 0.1 nm 안팎
대표 막	Ti, TiN, Ta, TaN 배리어, Cu 시드, Al	폴리실리콘, SiO ₂ , Si ₃ N ₄ , 텅스텐 플러그	고유전율 게이트 절연막(HfO ₂), DRAM 커패시터 유전막, 얇은 라이너·스페이서
왜 쓰나	금속 막을 빠르고 순도 높게	대부분의 절연막·전도막을 적당한 속도와 막질로	얇고 고르게, 두께를 원자 단위로 제어해야 할 때

CVD 안에서도 나뉜다

LPCVD	낮은 압력, 높은 온도(약 600~800 °C). 퍼니스에 웨이퍼 수십~백여 장을 세워 한 번에. 막질과 균일도가 좋지만 열 예산이 큼
PECVD	플라즈마가 반응 에너지를 대신 줘서 약 400 °C 이하에서 증착. 배선 이후 공정의 기본. 막에 수소가 남고 밀도가 낮은 대가
HDP-CVD	고밀도 플라즈마로 증착과 스퍼터를 동시에 해서, 입구에 쌓이는 것을 깎아 내며 좁은 홈을 채움
금속 CVD	텅스텐(WF ₆ 원료) 등. 콘택·비아 플러그를 채울 때. 아래에 TiN 같은 접착·배리어 막이 먼저 필요

PVD 스텝 커버리지를 개선하는 법. 스퍼터된 금속 원자를 이온화한 뒤 웨이퍼 Bias로 끌어당기면 홈 바닥까지 수직으로 들어가 바닥 두께가 늘어납니다(이온화 PVD). 그래도 측벽까지 고르게 덮어야 하면 CVD나 ALD로 바꿉니다. 방식 자체를 바꾸는 것이 근본책이고, 대가는 속도와 원료 비용입니다.

CVD는 두 단계가 이어진 공정입니다. 원료가 표면까지 오는 단계(물질 전달)와 표면에서 반응하는 단계(표면 반응). 둘 중 느린 쪽이 전체 속도를 정합니다. 이 하나를 이해하면 LPCVD가 왜 웨이퍼를 촘촘히 세워도 되는지, 왜 온도 관리가 그렇게 중요한지가 함께 풀립니다.



온도 → (오른쪽이 고온). 교재의 아레니우스 그래프는 가로축이 $1/T$ 라 좌우가 반대입니다

저온에서는 반응이 느려 표면 반응이 속도를 정하고, 고온에서는 반응이 빨라 원료가 오는 속도가 속도를 정합니다.

- 표면 반응 지배 영역:** 원료는 충분히 와 있는데 반응이 느린 상태. 증착률이 온도에 지수적으로 민감하므로(아레니우스 관계) 온도 균일도가 곧 두께 균일도입니다. 대신 원료가 홈 안이나 웨이퍼 사이 틈까지 충분히 퍼진 뒤 반응하므로 고르게 덮이고, 웨이퍼를 촘촘히 세워도 됩니다. LPCVD는 이 영역에서 운전합니다. 압력을 낮추면 기체 확산이 빨라져(확산 계수가 압력에 반비례) 원료 공급이 빨라지므로, 비교적 높은 온도에서도 표면 반응 지배에 머물 수 있습니다.
- 물질 전달 지배 영역:** 반응은 빠르는데 원료가 늦게 오는 상태. 가스 흐름과 유량이 두께를 정하므로 원료가 먼저 닿는 곳이 두꺼워집니다. 증착은 빠르지만 균일도와 스텝 커버리지가 떨어집니다.

이 그래프로 답할 수 있는 질문. "LPCVD에서 온도를 올리면 증착은 빨라지는데 왜 마음대로 못 올리나요?" → 증착률이 커질수록 원료가 가스 입구 쪽 웨이퍼에서 더 많이 소모되어(공핍) 위치별 두께 차이가 커지고, 심하면 물질 전달 지배로 넘어갑니다. 열 예산도 늘어납니다. 현장에서는 튜브 구간별로 온도를 다르게 걸어(온도 경사) 공핍을 보상합니다. 자료 1의 상황형 질문 Q4가 바로 이 현상입니다.

PECVD의 주요 조절 변수

조절 변수	주로 바뀌는 것
RF 파워	원료 분해가 늘어 증착률 ↑. 이온 충돌이 늘어 막이 치밀해지고 압축 응력 쪽으로 이동하는 경향
저주파 RF 비율	이중 주파수 장비에서 저주파 성분을 늘리면 이온 충돌이 커져 압축 응력 쪽으로. 질화막 응력 조절에 쓰임
가스 비율	예: $\text{SiH}_4 : \text{NH}_3$ 비율이 질화막의 Si 함량, 굴절률, 수소량을 정함
온도	높을수록 수소가 덜 남고 치밀해짐. 열 예산이 상한
압력·전극 간격	플라즈마 분포와 균일도, 파티클 발생에 영향

ALD의 핵심 단어는 "스스로 멈춘다(self-limiting)"입니다. 한 번에 한 층만 반응하고 더는 반응하지 않기 때문에, 원료가 깊은 홀 바닥까지 닿을 만큼 시간을 주면 모든 면이 같은 두께가 됩니다. 다만 종횡비가 클수록 원료 투입·퍼지 시간을 크게 늘려야 합니다.

1. 원료 A 투입

예: TMA(알루미늄 원료).
표면의 반응 자리에 한 층만
붙고 자리가 다 차면 멈춤

2. 퍼지

남은 원료 A를 불활성 가스로
완전히 밀어냄. 기상에서 A와
B가 만나면 CVD처럼 되어
균일성이 깨짐

3. 원료 B 투입

예: H_2O 또는 O_3 . 붙어 있는
A와 반응해 Al_2O_3 한 층
(실제로는 원자층 하나에 못
미치는 양)이 되고 다시 반응
자리를 만들

4. 퍼지

남은 B와 부산물을 밀어냄.
1~4가 한 사이클, 원하는
두께가 될 때까지 반복

ALD 온도 창

ALD가 제대로 되는 온도 범위가 있습니다. 너무 낮으면 원료가 표면에 응축되거나 반응이 끝까지 안 가고, 너무 높으면 원료가 스스로 분해해 CVD처럼 쌓이거나 붙은 층이 떨어져 나갑니다. 이 범위 안에서는 사이클당 두께가 비교적 일정합니다(원료에 따라 온도가 오르면 완만히 줄기도 함).

대가

- **느립니다.** 사이클당 0.1 nm 안팎이라 10 nm에 100 사이클 가까이 필요합니다. 그래서 얇고 중요한 막에만 씁니다.
- **퍼지가 짧으면 망가집니다.** 처리량을 위해 퍼지를 줄이면 두 원료가 기상에서 섞여 파티클과 불균일이 생깁니다. 처리량과 막질의 맛바꿈입니다.
- **원료 비용과 잔류 불순물.** 금속 유기 원료는 탄소 같은 불순물을 남길 수 있습니다.

왜 메모리에서 ALD가 중요한가. DRAM 커패시터는 좁고 깊은 구조에 유전막을 고르게 입혀야 용량이 나오고, 3D NAND는 수십~수백 층 구조의 깊은 홀 안쪽 벽을 고르게 덮어야 합니다. 둘 다 ALD 없이는 만들기 어렵습니다. 지원 회사의 제품과 증착 방식을 연결해 말하면 직무 이해가 드러납니다.

응력

	인장 응력	압축 응력
막의 상태	막이 줄어들고 싶어 아래를 당김	막이 늘어나고 싶어 아래를 밟
웨이퍼 휨	막 쪽이 오목해짐	막 쪽이 볼록해짐
대표 불량	크랙	막이 부풀어 들뜸(버클링), 블리스터

응력은 증착 전후 웨이퍼 휨의 변화로 계산합니다(Stoney 식). 응력이 크면 막 자체가 깨지거나 들뜨고, 웨이퍼가 휘어 다음 포토의 초점과 정렬을 어렵게 합니다. 층이 많은 3D NAND에서는 수십 층의 응력이 누적되므로 막마다 응력을 맞추는 것이 중요한 관리 항목입니다.

접착: 들뜸의 원인은 계면에 있다

- 아래 표면의 오염(파티클, 유기물, 자연 산화막, 수분)은 접착을 떨어뜨립니다. 증착 전 세정이 그래서 중요합니다.
- 잘 붙지 않는 조합은 사이에 다른 막을 넣습니다. 예: 텅스텐은 산화막에 잘 붙지 않아 Ti(접착·콘택 저항 감소)와 TiN(WF₆의 불소가 Ti·Si를 공격하지 못하게 막는 배리어)을 먼저 깎니다.
- 들뜸은 증착 직후가 아니라 다음 열처리나 CMP에서 드러나는 경우가 많습니다. 증상이 난 공정과 원인 공정이 다른 대표적인 예입니다.

갭필: 좁은 홈을 빈틈없이 채우기

홈 입구에 막이 더 빨리 쌓이면(오버행) 입구가 먼저 막히고 안쪽에 빈 공간(보이드)이나 이음매(심)가 남습니다. 이 빈 공간은 다음 CMP나 식각에서 열려 결함이 됩니다.

방법	원리	대가
증착-식각-증착	일부 채운 뒤 입구의 오버행을 식각으로 깎고 다시 채움	단계 증가, 처리량 ↓
HDP-CVD	증착과 스퍼터를 동시에 해서 입구가 막히지 않게	플라즈마 손상, 아주 좁은 홈에는 한계
유동성 CVD	액체처럼 흐르는 막을 넣어 아래부터 채운 뒤 경화	경화 열처리 필요, 막 수축과 막질 관리
ALD	모든 면에 같은 두께로 쌓여 양쪽 벽이 가운데서 만남	느림, 가운데 이음매가 남을 수 있음

1. CVD와 PVD의 차이는?

→ PVD는 타깃 원자를 물리적으로 떼어 직선으로 날려 붙이고, CVD는 원료 가스가 표면에서 화학 반응해 막이 됩니다. 그래서 PVD는 금속 막을 빠르고 순도 높게 만들지만 깊은 홈 측벽을 잘 못 덮고, CVD는 더 고르게 덮습니다. 차이를 말한 뒤 "그래서 배리어·시드는 PVD(종횡비가 큰 콘택은 CVD·ALD TiN), 플러그 채움은 CVD"처럼 쓰임새로 이어 주세요.

2. 스텝 커버리지를 높이려면?

→ 방식을 바꾸는 것(PVD → CVD → ALD)이 근본책이고, 같은 CVD 안에서는 온도·압력을 표면 반응 지배 쪽으로 옮기면 고르게 덮입니다. 대가는 증착 속도입니다.

3. PECVD의 장단점은?

→ 플라즈마가 반응 에너지를 대신 주므로 저온 증착이 가능해 배선 이후에도 쓸 수 있습니다. 대신 막에 수소가 많이 남고 밀도가 낮으며 플라즈마 손상 가능성이 있습니다.

4. ALD가 고르게 쌓이는 이유와 단점은?

→ 표면 반응이 한 층에서 스스로 멈추기 때문에 원료가 모든 면에 닿을 시간만 주면 같은 두께가 됩니다. 단점은 느린 속도와 원료 비용입니다.

5. 막 응력은 왜 관리하나요?

→ 크랙과 들뜸의 원인이고, 웨이퍼를 휘게 해 다음 포토의 초점과 정렬을 어렵게 합니다. 층이 많은 3D NAND에서는 응력이 누적돼 더 중요합니다.

Q PECVD 질화막 두께는 Spec 안인데, 굴절률이 올라 관리한계를 벗어났습니다. 문제인가요?

1 현상	두께가 맞아도 굴절률이 관리한계 밖이면 막의 조성이나 밀도가 바뀐 것입니다. 질화막에서 굴절률이 오르면 보통 Si가 더 많은 쪽으로 바뀐 것입니다.
2 범위	한 챔버만인지, 같은 레시피의 다른 챔버도 같은지 봅니다. 엘립소미터는 두께와 굴절률을 함께 맞춰(피팅) 계산하므로, 계측 모델이나 교정 문제로 굴절률이 바뀌어 보일 수 있는지도 확인합니다.
3 가설	원료 가스 비율 변화(SiH_4 또는 NH_3 쪽 MFC 드리프트), RF 파워 변화, 온도 변화, 챔버 상태.
4 확인	MFC 설정값과 실제값, RF 반사 전력, 온도 로그. 응력과 습식 식각률을 같이 재 막질이 실제로 바뀌었는지 확인합니다.
5 조치·대가	관리한계 밖이므로 이상 대응 절차(OCAP)에 따라 해당 챔버를 진행 정지(인히빗)하고, 이미 나온 Lot은 원인 확정 전까지 다음 공정 진행을 보류합니다. 이 막이 다음 식각의 정지막이나 마스크라면 식각 선택비가 바뀌어 뒤 공정에서 문제가 터질 수 있기 때문입니다. 생산 지연을 감수합니다.

고리질문 "두께가 Spec 안인데 왜 멈추죠?" → 이 막을 쓰는 다음 공정은 두께가 아니라 막의 성질에 의존할 수 있습니다. 관리한계는 공정이 변했다는 신호이고, 그 변화가 어디서 문제가 될지 확인하기 전에는 넘기지 않습니다.

Q 증착 직후에는 문제가 없었는데, 다음 열처리 뒤 막이 들뜩니다. 원인은?

- | | |
|---------|---|
| 1 현상 | 들뜬 위치(웨이퍼 가장자리·중앙, 패턴 밀집 구역)와 들뜬 계면(어느 막과 어느 막 사이)을 먼저 확인합니다. |
| 2 범위 | 특정 증착 챔버의 Lot만인지, 특정 앞 공정(세정 장비, 세정 후 대기 시간)을 거친 Lot만인지 이력으로 가릅니다. |
| 3 가설 | 계면 오염(앞 세정 상태, 대기 중 오래 머물러 생긴 자연 산화막·수분), 막 응력 과다, 막과 기판의 열팽창 차이로 생기는 열응력, 막 속 수소·수분이 열처리 때 빠져나오며 부풀. |
| 4 확인 | 들뜬 부위를 단면·성분 분석해 계면에 무엇이 있는지 봅니다. 증착 전 대기 시간과 세정 조건 기록, 막 응력 측정값을 대조합니다. |
| 5 조치·대가 | 원인이 앞 세정이면 세정 조건과 세정 후 대기 시간 한도를 관리 항목으로 둡니다. 대기 시간 한도는 생산 일정을 뺄뻑하게 만드는 대가가 있습니다. |

꼬리질문 "증착 엔지니어인데 세정까지 봐야 하나요?" → 증상은 증착막에서 나지만 원인은 앞 공정에 있을 수 있어서, 앞 공정 엔지니어와 함께 데이터를 봐야 합니다. 자료 2의 공정 순서 논리가 여기서 쓰입니다.



읽은 것을 손으로 해 보기

증착 시뮬레이터와 공정엔지니어 미션

PECVD, ALD, 스퍼터 조건을 바꿔 두께와 균일도가 어떻게 달라지는지 볼 수 있습니다. 공정엔지니어 미션 #03에서는 증착 뒤 드러난 들뜸의 원인을 앞 공정 기록까지 거슬러 추적합니다.

semifabai.com/missions

카카오톡 채널

새 자료 공개 소식을 채널에서 먼저 알려 드립니다. 채널을 추가해 두세요.

pf.kakao.com/_VXHFX

카카오톡 채널 검색: semifabai

다음 편: 자료 5

포토 면접 집중편

해상도와 초점 심도, 감광액과 PEB, 오버레이, EUV. 자료실에서 지금 받을 수 있습니다.

공정엔지니어 면접 자료 시리즈

01	공정엔지니어 면접, 판단을 말하는 법 상황형 질문과 PT 면접을 6단계로 푸는 법	받기 가능
02	반도체 8대 공정, 순서에 이유가 있다 두 가지 8대 공정, 열 예산, FEOL과 BEOL	받기 가능
03	식각 면접 집중편 건식과 습식, 이방성, 선택비, ICP와 CCP, 프로파일 불량	받기 가능
05	포토 면접 집중편 해상도와 초점 심도, 감광액과 PEB, 오버레이, EUV	받기 가능
06	수율과 SPC 수율 모델, 웨이퍼 맵 읽기, 관리도와 Cp-Cpk	받기 가능
07	진공·설비 기초 펌프와 게이지, 압력 제어, MFC, 리크와 RF 매칭	받기 가능
08	삼성전자 PT 면접 유형별 연습 문제 10선 시나리오형·데이터 해석형·조건 선택형·개선안형	받기 가능
09	DRAM, NAND, HBM 구조를 면접 수준으로	예정
10	미세화 트렌드 답변법 GAA, 3D NAND, 하이브리드 본딩	예정
11	공정기술, 설비기술, 양산기술 직무 차이 지원 동기 쓰는 법	예정
12	반도체 자소서와 1분 자기소개	예정

공개된 자료는 semifabai.com/resources 에서 받을 수 있습니다. 순서와 제목은 의견에 따라 바뀔 수 있습니다.

이 자료는 삼성전자, SK하이닉스와 관계없는 독립 학습 자료입니다. 공정 조건의 방향은 일반적인 경향이며 장비·막·세대에 따라 다릅니다. © 2026 세미랩 AI. 개인 학습용으로 자유롭게 쓰시고, 다른 곳에 올리실 때는 출처를 남겨 주세요.