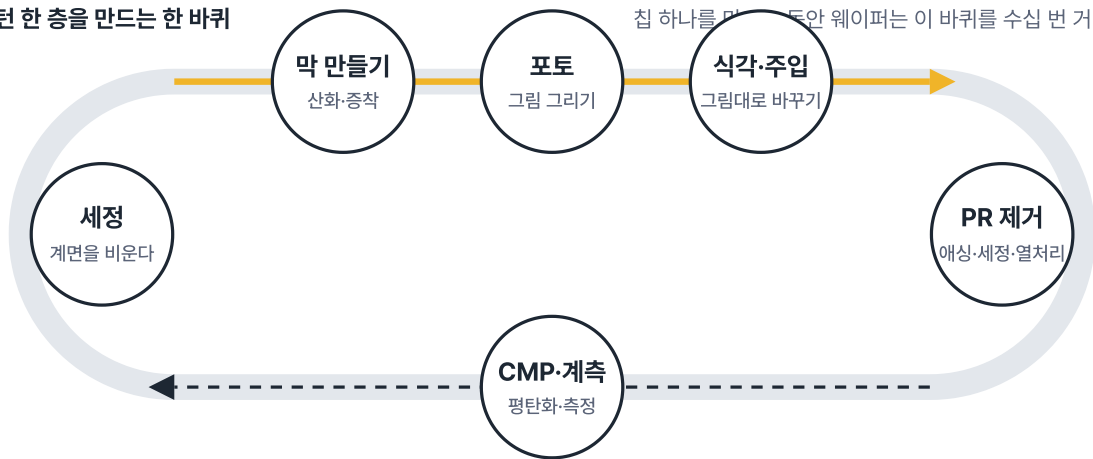


패턴 한 층을 만드는 한 바퀴



칩 하나를 만들기 위한 웨이퍼는 이 바퀴를 수십 번 거친다

열 예산

앞쪽 공정: 1000 °C 안팎까지

배선 이후: 약 400 °C 이하

자료 2 공정엔지니어 면접 자료 시리즈

반도체 8대 공정, 순서에 이유가 있다

외운 순서가 아니라 설명할 수 있는 순서

4년제 공정기술·양산기술 신입 대상, 삼성전자와 SK하이닉스 면접 공통

"8대 공정을 순서대로 말해 보세요" 다음에는 반드시 "왜 그 순서죠?"가 옵니다. 이 자료는 그 두 번째 질문을 위한 것입니다.

세미팸 AI

반도체 장비공학 박사, 대학 반도체 공정 강의
semifabai.com

2026 하반기판
무료 배포용

"8대 공정"은 두 가지가 있다

면접에서 "8대 공정"이라는 말은 두 가지 뜻으로 쓰입니다. 하나는 웨이퍼가 칩이 되기까지의 큰 흐름이고, 다른 하나는 공정기술 엔지니어가 배치되는 단위 공정입니다. 이 둘을 구분해서 말하는 것만으로 대부분의 지원자와 달라집니다.

	흐름으로서의 8대 공정	직무로서의 8대 공정
목록	웨이퍼 제조, 산화, 포토, 식각, 증착·이온주입, 금속 배선, EDS, 패키징	Photo, Etch, Clean, CMP, Diffusion, IMP(이온주입), Metal, CVD(증착)
어디서 쓰나	반도체 회사 홍보 자료, 입문 교재. "칩이 어떻게 만들어지나"를 설명할 때	삼성전자 공정기술 직무 소개 등에서 쓰는 단위 공정 구분(공식 명칭은 아님). "내가 어느 공정을 맡나"를 말할 때
차이	웨이퍼 제조, EDS(전기 검사), 패키징처럼 펌 밖이거나 검사 단계가 포함됨	세정(Clean)과 CMP가 독립된 공정으로 들어감. 실제 펌에서 둘 다 사람과 장비가 따로 있을 만큼 중요하기 때문

면접에서 이렇게 시작하세요. "8대 공정은 웨이퍼 제조, 산화, 포토, 식각, 증착·이온주입, 금속 배선, EDS, 패키징입니다. 다만 펌 안에서는 세정과 CMP도 별도 공정으로 운영되고, 이 공정들이 총마다 반복됩니다." 이 한 문장으로 면접관은 지원자가 교과서 목록이 아니라 현장 구조를 알고 있다고 봅니다.

이 자료에 들어 있는 것

01	순서를 만드는 한 바퀴. 막을 만들고, 그림을 그리고, 그림대로 바꾸고, 정리하는 루프.
02	순서를 정하는 세 가지 규칙. 마스크가 먼저, 열은 뒤로 갈수록 낮게, 다음 포토를 위해 평탄하게.
03	트랜지스터 하나가 만들어지는 순서. FEOL, MOL, BEOL로 나눠 본 실제 흐름.
04	단골 질문 9개와 답의 핵심.

8대 공정은 한 줄로 한 번 지나가는 것이 아닙니다. 같은 바퀴를 총마다 다시 거칩니다. 표지의 그림이 그 바퀴이고, 칩 하나를 만드는 동안 웨이퍼는 이 바퀴를 수십 번 거칩니다.

1. 세정

앞 단계가 남긴 파티클·금속·유기물을 지웁니다. 다음 막이 깨끗한 면 위에 올라가야 하기 때문입니다.

2. 막 만들기

산화(열로 Si를 산화막으로 바꿈) 또는 증착(위에 새 물질을 쌓음). 깎을 재료를 먼저 깎아 둡니다.

3. 포토

감광액(PR)을 바르고 빛으로 패턴을 옮깁니다. 이 단계에서 웨이퍼 위에 처음으로 "그림"이 생깁니다.

4. 식각 또는 이온주입

PR이 덮지 않은 곳만 깎거나 (식각), 불순물을 넣습니다 (이온주입). PR이 마스크 역할을 합니다.

5. PR 제거

할 일을 마친 PR을 산소 플라즈마로 태우고(애싱) 세정으로 남은 찌꺼기를 지웁니다.

6. 열처리

이온주입을 했다면 어닐로 손상을 회복하고 불순물을 활성화합니다. PR이 다 제거된 뒤에 합니다.

7. CMP

식각한 홈을 다음 막으로 채운(증착) 뒤에는 튀어나온 부분을 갈아 평탄하게 만듭니다. 다음 포토의 초점이 맞으려면 필요합니다.

8. 계측

두께, CD, 오버레이, 결함을 재고 다음 층으로 넘깁니다. 주요 단계 뒤에는 표본 웨이퍼로 잭니다.

이 바퀴를 보면 "8대 공정 순서"가 왜 교재마다 조금씩 다른지도 설명됩니다. 공정은 일렬로 서 있는 것이 아니라 돌고 있어서, 어디서 끊어 보느냐에 따라 순서가 달라 보입니다. 변하지 않는 것은 바퀴 안의 순서입니다. 막이 있어야 그림을 그리고, 그림이 있어야 깎습니다.

세정과 계측이 가장 자주 등장하는 이유. 바퀴 한 번 안에 세정과 계측이 여러 번 들어갑니다. 그래서 전체 공정 단계 수로 세면 세정과 계측이 많은 비중을 차지합니다. 면접에서 "세정이 왜 중요하냐"고 물으면 "가장 자주 반복되고, 여기서 남긴 오염은 다음 막 아래에 묻혀 되돌릴 수 없기 때문"이라고 답하면 됩니다.

공정 순서를 외우지 마세요. 세 가지 규칙만 알면 순서는 저절로 나옵니다. 그리고 "왜 그 순서인가"라는 꼬리질문에는 이 규칙 중 하나로 답하면 됩니다.

규칙 1. 마스크가 먼저다

식각과 이온주입은 웨이퍼 전체에 똑같이 작용합니다. 원하는 곳에만 작용하게 하려면 그 전에 가림막(마스크)이 있어야 하고, 그 가림막을 만드는 것이 포토입니다. 그래서 패턴이 필요한 식각과 이온주입은 반드시 포토 뒤에 옵니다. 스페이서 에치백처럼 웨이퍼 전면을 깎는 식각은 마스크 없이 합니다.

- 더 단단한 마스크가 필요하면 포토 앞에 하드마스크 막(산화막, 질화막, 탄소막)을 먼저 증착하고, PR 패턴을 그 막에 옮긴 뒤 하드마스크로 본 식각을 합니다. 깊게 깎아야 하는 메모리 공정에서 흔한 구조입니다.
- 마스크가 할 일을 마치면 바로 제거합니다. PR은 유기물이라 고온 공정이나 다음 증착 장비에 들어가면 오염원이 되기 때문입니다.

규칙 2. 열은 뒤로 갈수록 낮아진다 (열 예산)

앞에서 만든 구조는 뒤에 오는 모든 열처리를 견뎌야 합니다. 불순물은 가열될 때마다 조금씩 퍼지고, 금속은 녹거나 이웃 막으로 확산합니다. 그래서 높은 온도가 필요한 공정을 앞에, 낮은 온도로 되는 공정을 뒤에 둡니다. 이 허용 열량의 총합을 **열 예산(thermal budget)**이라고 부릅니다.

공정	대표 온도	순서상 위치와 이유
열산화(게이트·패드·라이너 산화막)	약 800~1100 °C	이 온도에서는 이미 넣은 불순물이 크게 퍼지고, 금속 배선은 견딜 수 없음
도펀트 활성화 어닐(스파이크·RTA)	약 1000 °C 이상, 수 초 이하 (스파이크는 1초 안팎)	시간을 극히 짧게 해 확산을 억제. 그래도 금속 배선 전에 끝내야 함
LPCVD(폴리실리콘, 질화막)	약 600~800 °C	막질이 좋지만 온도가 높아 배선 이후에는 못 씀
실리사이드 형성	수백 °C	접촉 저항을 낮추는 금속-실리콘 화합물. 고온 어닐 뒤에 해야 뭉치거나 고저항 상으로 바뀌지 않음(예: NiSi는 약 700 °C 이상에서 열화)
PECVD, 배선 공정 전반	약 400 °C 이하	플라즈마로 반응 에너지를 대신 줘서 저온 증착. 배선 이후 공정의 기본

온도는 공정 세대와 회사마다 다릅니다. 숫자보다 "앞은 높고 뒤는 낮다"는 방향을 기억하세요.

꼬리질문 대비. "PECVD가 막질이 더 나쁜데도 쓰는 이유는?" → 배선이 깔린 뒤에는 열 예산 때문에 LPCVD 온도를 쓸 수 없기 때문입니다. 막질과 온도를 맞바꾼 선택입니다.

규칙 3. 다음 포토를 위해 평탄하게

층이 쌓일수록 웨이퍼 표면은 울퉁불퉁해집니다. 그런데 노광 장비의 초점 심도(DOF)는 미세 패턴일수록 얇아서, 표면 높이 차이가 그보다 크면 패턴의 일부가 초점에서 벗어납니다. 그래서 홈을 채운 뒤나 층간 절연막을 쌓은 뒤에는 CMP로 평탄하게 만들고 나서 다음 포토로 넘어갑니다.

- CMP가 들어가는 대표 위치: 소자 분리(STI) 산화막 채움 뒤, 층간 절연막 증착 뒤, 텅스텐 플러그 채움 뒤, 구리 배선 채움 뒤.
- 구리는 건식 식각이 어려워(염화물이 잘 증발하지 않음) 홈을 파서 채우고 CMP로 남는 부분을 갈아내는 방식(다마신)을 씁니다. 여기서도 CMP가 다음 층의 평탄한 바닥을 만들어 줍니다.

세 규칙이 부딪칠 때. 실제 공정 설계는 이 규칙들 사이의 절충입니다. 예를 들어 열 예산을 아끼려 저온 증착을 쓰면 막질이 떨어지고, 평탄화를 위해 CMP를 넣으면 공정 단계와 결함 위험이 늘어납니다. 면접에서 "무엇을 얻고 무엇을 내줬는가"로 답하면 자료 1의 판단 구조와 그대로 이어집니다.

교과서의 8대 공정 목록을 실제 소자 흐름 위에 올려 보면, 왜 같은 공정이 여러 번 나오는지 보입니다.

아래는 로직 CMOS 트랜지스터를 단순화한 흐름입니다. 메모리는 여기에 셀 구조(DRAM의 매립

워드라인·커패시터, NAND의 셀 적층) 공정이 추가됩니다.

구간	하는 일	쓰이는 단위 공정
FEOL	소자 분리(STI). 트랜지스터끼리 전기가 새지 않게 실리콘에 홈을 파고 산화막으로 채움	세정 → 패드 산화(열산화)·질화막 증착 → 포토 → 식각 → 라이너 산화 → 산화막 채움(증착) → CMP → 질화막 제거
FEOL	웰 만들기. NMOS·PMOS 자리에 각각 다른 불순물 영역을 만들	포토 → 이온주입 → PR 제거 → 어닐
FEOL	게이트 만들기. 얇은 절연막과 게이트 전극을 올리고 선 모양으로 깎음	세정 → 게이트 산화(또는 고유전율 막 증착) → 게이트 전극 증착 → 포토 → 식각
FEOL	소스·드레인. 게이트 양옆에 불순물을 넣고, 측벽 스페이서로 간격을 조절	포토 → LDD(저농도) 이온주입 → PR 제거 (NMOS·PMOS 각각) → 스페이서 증착 → 전면 식각 (에치백, 마스크 없음) → 포토 → 소스·드레인 이온주입 → PR 제거(각각) → 활성화 어닐 → 실리사이드
MOL	콘택. 트랜지스터와 첫 배선을 잇는 수직 기둥	절연막 증착 → CMP → 포토 → 식각 → 배리어·텅스텐 증착 → CMP
BEOL	금속 배선. 구리 배선층과 비아를 층층이 쌓음. 층 수만큼 반복	절연막 증착 → 포토 → 식각(듀얼 다마신은 비아·트렌치로 포토·식각 두 번) → 배리어·시드 증착 → 구리 도금 → CMP

회사, 세대, 제품(DRAM, NAND, 로직)에 따라 순서와 재료가 다릅니다. 이 표는 순서의 논리를 보여 주기 위한 단순화입니다.

FEOL, MOL, BEOL 한 줄 정리

- **FEOL(Front End Of Line)**: 실리콘 안과 바로 위에 트랜지스터 자체를 만드는 구간. 고온 공정이 몰려 있습니다.
- **MOL(Middle Of Line)**: 트랜지스터와 배선을 잇는 콘택 구간.
- **BEOL(Back End Of Line)**: 트랜지스터 위로 배선을 쌓는 구간. 열 예산 때문에 저온 공정만 씁니다.

이 표로 답할 수 있는 질문. "공정 흐름에서 증착은 몇 번 나오나요?" 표에서 증착은 거의 모든 줄에 나옵니다. 같은 증착이라도 STI 채움, 스페이서, 콘택 배리어, 층간 절연막이 각각 요구하는 막이 다릅니다. "그래서 증착 공정 엔지니어는 막의 용도에 따라 다른 지표를 관리한다"고 답하면 직무 이해가 드러납니다.

답의 첫 문장은 결론, 둘째 문장은 이유입니다. 이유는 대부분 02장의 세 규칙 중 하나입니다.

1. 8대 공정을 순서대로 설명해 보세요.

→ "막을 만들고(산화·증착), 그 위에 그림을 그리고(포토), 그림대로 깎거나 불순물을 넣는(식각·이온주입) 과정을 총마다 반복합니다. 그 사이사이 세정과 CMP, 계측이 들어가고, 마지막에 배선으로 잇고 전기 검사(EDS)와 패키징을 거칩니다." 일렬로 나열하지 말고 반복 구조로 말하세요.

2. 왜 포토 다음에 식각인가요?

→ 식각은 웨이퍼 전체에 똑같이 작용하기 때문에, 원하는 곳만 깎으려면 먼저 PR 마스크가 있어야 합니다. 마스크가 먼저라는 규칙입니다.

3. 금속 배선은 왜 뒤에 하나요?

→ 열 예산 때문입니다. 금속은 고온에서 녹거나 주변으로 확산해서, 1000 °C 근처의 산화나 어닐을 견딜 수 없습니다. 특히 구리는 실리콘으로 확산하면 접합 누설을 만듭니다. 고온 공정을 모두 끝낸 뒤에 저온 공정으로 배선을 씁니다.

4. CMP는 왜 필요한가요?

→ 다음 포토의 초점 심도 안에 표면을 넣기 위해서입니다. 미세 패턴일수록 초점 여유가 얇아 표면 단차를 줄여야 합니다. 그리고 다마신처럼 채운 뒤 남는 부분을 제거하는 데에도 씁니다.

5. 세정은 왜 그렇게 자주 하나요?

→ 각 공정이 파티클, 금속, 유기물을 남기고, 그 위에 다음 막이 올라가면 오염이 묻혀 되돌릴 수 없기 때문입니다. 특히 고온 공정 앞의 세정은 오염이 확산해 소자 특성을 바꾸는 것을 막습니다.

6. 이온주입 뒤에 왜 PR을 먼저 제거하고 어닐 하나요?

→ PR은 유기물이자 고온 어닐을 견디지 못하고 장비와 웨이퍼를 오염시킵니다. 마스크 역할이 끝나면 바로 제거하고 깨끗한 상태에서 열처리합니다.

7. FEOL과 BEOL의 차이는?

→ FEOL은 트랜지스터를 만드는 구간으로 고온 공정이 몰려 있고, BEOL은 그 위에 배선을 쌓는 구간으로 열 예산 때문에 저온 공정만 씁니다.

8. EDS는 무엇을 하나요?

→ 패키징 전에 웨이퍼 상태에서 칩마다 전기 특성을 검사해 양품과 불량률 가르는 공정입니다. 메모리는 이 단계에서 예비 셀로 불량 셀을 대체하는 리페어도 합니다. 여기서 나온 수율 데이터가 다시 앞 공정 개선으로 돌아갑니다.

9. 지원한 공정이 앞뒤 공정과 어떻게 연결되나요? (꼬리질문 단골)

→ 예: 식각 지원자라면 "식각 결과는 포토가 만든 PR 패턴과 그 아래 막 두께에 좌우되고, 그 결과는 다음 증착의 채움과 CMP에 영향을 줍니다. 그래서 문제가 생기면 앞 공정 데이터부터 같이 봅니다." 증상이 난 공정과 원인 공정이 다를 수 있다는 것을 아는지 묻는 질문입니다.

자료 1과 이어 읽기. 자료 1의 상황형 질문 Q2(포토 후 CD와 식각 후 CD 비교)와 Q3(파티클이 앞 공정에서 왔는지 확인)는 이 장의 9번 질문을 실제 문제로 바꾼 것입니다. 공정 순서를 알면 원인 공정을 가르는 방법이 보입니다.



읽은 것을 손으로 해 보기

미니팩 공정 실습과 공정엔지니어 미션

세정, 산화, 포토, 식각, 증착, 측정을 순서대로 직접 돌려 보면, 순서를 바꿨을 때 무엇이 망가지는지 눈으로 확인할 수 있습니다. 공정엔지니어 미션에서는 앞 공정이 원인인 사건을 데이터로 추적합니다.

semifabai.com/missions

카카오톡 채널

새 자료 공개 소식을 채널에서 먼저 알려 드립니다. 채널을 추가해 두세요.

pf.kakao.com/_VXHFX

카카오톡 채널 검색: semifabai

다음 편: 자료 3

식각 면접 집중편

건식과 습식, 이방성, 선택비, ICP와 CCP, 프로파일 불량. 자료실에서 지금 받을 수 있습니다.

공정엔지니어 면접 자료 시리즈

01	공정엔지니어 면접, 판단을 말하는 법 상황형 질문과 PT 면접을 6단계로 푸는 법	받기 가능
03	식각 면접 집중편 건식과 습식, 이방성, 선택비, ICP와 CCP, 프로파일 불량	받기 가능
04	증착 면접 집중편 CVD, PVD, ALD 차이와 스텝 커버리지, 응력, 갭필	받기 가능
05	포토 면접 집중편 해상도와 초점 심도, 감광액과 PEB, 오버레이, EUV	받기 가능
06	수율과 SPC 수율 모델, 웨이퍼 맵 읽기, 관리도와 Cp-Cpk	받기 가능
07	진공·설비 기초 펌프와 게이지, 압력 제어, MFC, 리크와 RF 매칭	받기 가능
08	삼성전자 PT 면접 유형별 연습 문제 10선 시나리오형·데이터 해석형·조건 선택형·개선안형	받기 가능
09	DRAM, NAND, HBM 구조를 면접 수준으로	예정
10	미세화 트렌드 답변법 GAA, 3D NAND, 하이브리드 본딩	예정
11	공정기술, 설비기술, 양산기술 직무 차이 지원 동기 쓰는 법	예정
12	반도체 자소서와 1분 자기소개	예정

공개된 자료는 semifabai.com/resources 에서 받을 수 있습니다. 순서와 제목은 의견에 따라 바뀔 수 있습니다.

이 자료는 삼성전자, SK하이닉스와 관계없는 독립 학습 자료입니다. 흐름으로서의 8대 공정은 삼성전자 반도체 뉴스룸의 「반도체 8대 공정」 시리즈 (news.samsungsemiconductor.com)를 따랐고, 단위 공정 구분은 공개 직무 소개를 다룬 현직자 답변(코멘토)과 일반 공정 교재를 바탕으로 정리했습니다. © 2026 세미팩 AI. 개인 학습용으로 자유롭게 쓰시고, 다른 곳에 올리실 때는 출처를 남겨 주세요.